

Maksimović M. Dejan  
Mrčarić M. Željko  
Glozić B. Dejan  
Petković M. Predrag  
Litovski B. Vančo

Elektronski fakultet u Nišu  
Beogradska 14, 18000 Niš

#### ARHITEKTURA PROGRAMA I STRUKTURE PODATAKA U HIBRIDNOM SIMULATORU

#### ARCHITECTURE AND DATA STRUCTURES IN A MIXED-MODE SIMULATOR

**SADRŽAJ :** Hibridni simulator obavlja simulaciju elektronskih kola u kojima su prisutni istovremeno i analogni i digitalni signali. Stoga on sadrži i dva procesa : električnu analizu i logičku simulaciju. Kontrola rada, sinhronizacija i komunikacija između ta dva procesa, kao i strukture podataka koje se kreiraju u ovakvom simulatoru, predstavljaju integrativni faktor simulatora. Ovaj rad je posvećen njima.

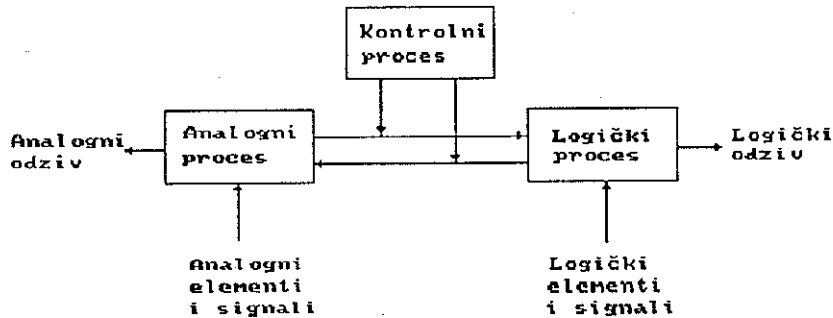
**ABSTRACT :** The mixed-mode simulator performs simulation of electronic circuits in which both analog and digital signals are present simultaneously. To deal with such circuits the simulator contains two processes : circuit analysis and logic simulation. The overall simulation is controlled by a program which synchronizes, control and communicates between the processes, and in the same time manages the data structures needed. This program is discussed in the next.

#### 1. UVOD

Električna analiza elektronskih kola danas se obavlja uz pomoć ustaljenih algoritama i računarskim programima [1]. Problemi nastaju kod složenih elektronskih kola kada je potrebno vreme analize veoma dugo. U ovakvim situacijama, ako se radi o digitalnim elektronskim kolima, može da se pribegne logičkoj simulaciji [2]. Na ovaj način brzina simulacije se povećava dramatično, s tim što se redukuje količina dobijene informacije - umesto analognih vrednosti napona dobijaju se logička stanja. Postoje, međutim, situacije kada je neopodno da se manipuliše sa oba tipa signala. Primera radi, može se posedovati biblioteka dobro karakterisanih logičkih ćelija koje, prirodno, mogu da se simuliraju digitalnim signalima, a istovremeno da se kreira nova logička ćelija koja je karakterisana samo na električnom nivou. Drugi, očigledniji primer je hibridno kolo koje je sastavljeno i od analognih elemenata (otpornika, tranzistora, kondenzatora i sl.) i od logičkih elemenata (I, ILI, flip-flop i sl.). Ovakvo kolo naprosto mora da se simulira hibridnim simulatorom.

Arhitektura hibridnog simulatora prikazana je na slici 1 [3].

Može se uočiti da se sistem sastoji od analognog procesa, logičkog procesa i kontrolnog procesa.



Slika 1

Analogni proces prihvata opis analognog dela skupa elemenata sistema, prihvata opise analogno-digitalne i digitalno-analogne sprege, prihvata opise analognih signala i najzad, opise konvertovanih signala na mestu digitalno-analogne sprege. Na osnovu ovih podataka obavlja električnu analizu i kreira analogni odziv.

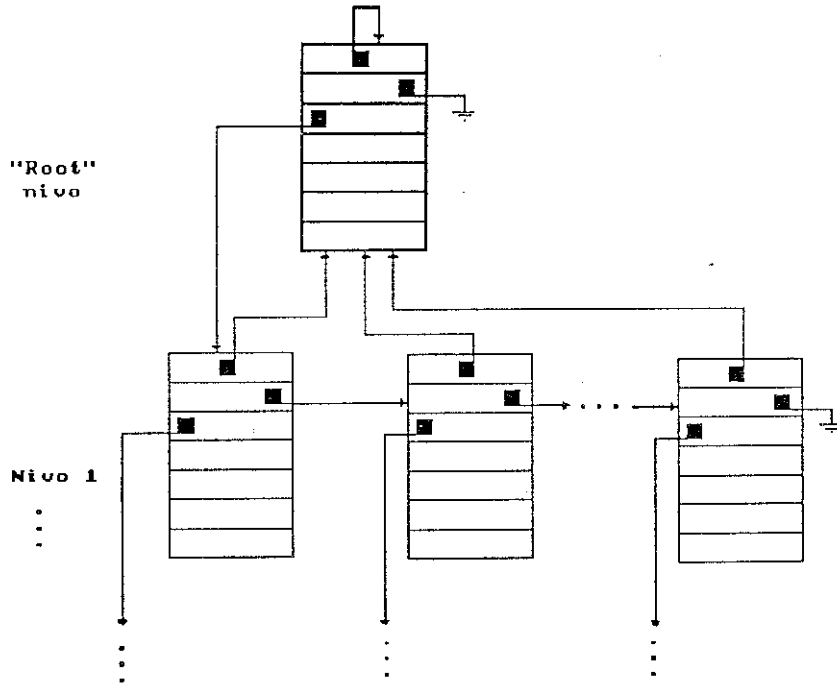
Logički proces prihvata opis logičkog dela skupa elemenata sistema, prihvata opise analogno-digitalne i digitalno-analogne sprege, prihvata opise digitalnih signala i najzad, opise konvertovanih signala na mestu analogno-digitalne sprege. Na osnovu ovih podataka obavlja logičku simulaciju i kreira logički odziv.

Na osnovu podataka koje korisnik saopšti pomoću ulaznog jezika i na osnovu fiksnih biblioteka modela, kontrolni proces najpre kreira sve potrebne strukture podataka za inicijalizaciju oba kontrolisana procesa: električnu analizu i logičku simulaciju. Tokom odvijanja procesa hibridne simulacije, kontrolni proces obavlja sledeće zadatke: sinhronizuje rad kontrolisanih procesa, omogućava razmenu podataka u hibridnim čvorovima (mesta konverzije a-d ili d-a) i upravlja strukturama podataka u oba procesa. U daljem tekstu biće obradjen samo jedan aspekt kontrolnog procesa - strukture podataka u hibridnom simulatoru. Razlog tome je izuzetan značaj ove problematike za racionalan i brz rad simulatora.

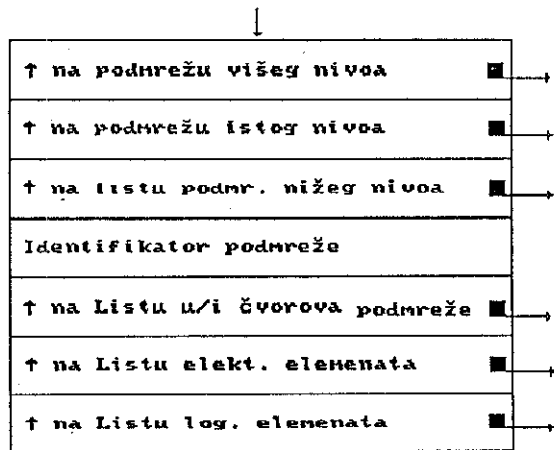
## 2. STRUKTURE PODATAKA ZA OPIS SISTEMA

Jedan od osnovnih zahteva pri razvoju simulatora jeste da ovaj u opisu sistema podržava hijerarhijsku strukturu proizvoljne dubine. Osnovna struktura na kojoj se bazira hijerarhijski opis sistema naziva se pod mreža. Pod mreža može da sadrži električne elemente, logičke elemente i pod mreže nižeg nivoa hirerarhije.

Hibridni sistem opisujemo strukturom stabla čiji su čvorovi pod mreže. Stablo opisa kola prikazano je na slici 2, dok je na slici 3 prikazan uvećan čvor stabla.

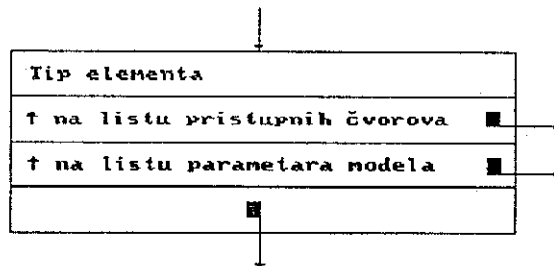


Slika 2



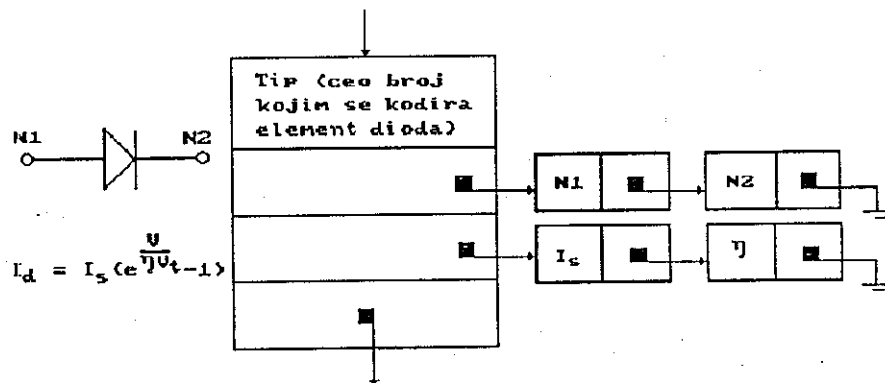
Slika 3

Čvor Stabla opisa kola sadrži sledeće podatke: identifikator pod mreže (složeni skup podataka na osnovu koga se identifikuje pod mreža : ime, putokaz od korena stabla, nivo hijerarhije, ...), pokazivač na pod mrežu višeg hijerarhijskog nivoa , pokazivač na listu pod mreža nižeg hijerarhijskog nivoa, pokazivač na pod mrežu istog nivoa hijerarhije, pokazivač na Listu električnih elemenata pod mreže, pokazivač na Listu logičkih elemenata pod mreže, pokazivač na Listu u/i čvorova pod mreže. Broj hijerarhijskih nivoa ograničen je samo raspoloživom memorijom računara.



Slika 4

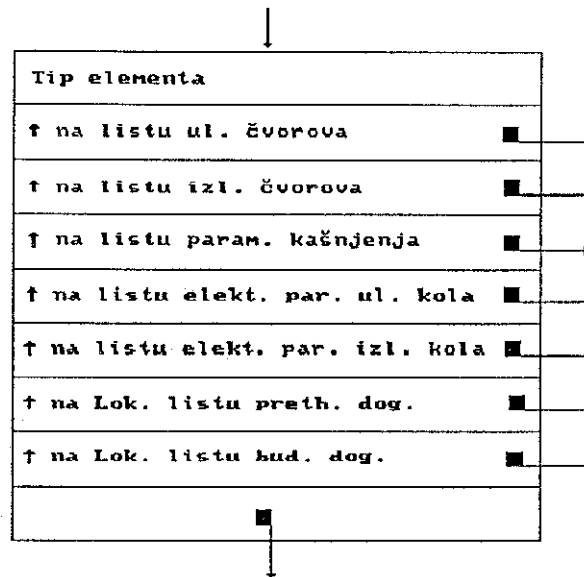
Na slici 4 prikazan je čvor Liste električnih elemenata pod mreže. Električni element opisuje se tipom (tranzistor, kondenzator, makromodel proizvoljnog električnog kola, ...), listom pristupnih čvorova (ili pokazivača na odgovarajuće čvorove u Listi analognih čvorova o kojoj će biti reči u daljem tekstu) i listom parametara modela. Za slučaj da korisnik ne zada parametre modela elementa, njihove "default" vrednosti se učitavaju iz biblioteke modela električnih elemenata. Neka se u simuliranom kolu između čvorova N1 i N2 nalazi dioda definisana parametrima  $I_s$  i  $\eta$ . Čvor Liste električnih elemenata koji opisuje ovu diodu prikazan je na slici 5.



Slika 5

Čvor Liste logičkih elemenata pod mreže prikazan je na slici 6. Logički element se opisuje tipom (NAND2, AND3, NOT,...), listom ulaznih čvorova (ili pokazivača na odgovarajuće čvorove u Listi digitalnih čvorova

o kojoj će biti reči u daljem tekstu), listom izlaznih čvorova (ili pokazivača na njih), listom parametara kašnjenja, listom električnih parametara ulaznog kola i listom električnih parametara izlaznog kola logičkog elementa (ovi parametri neophodni su za spregu analognog i digitalnog dela kola u hibridnim čvorovima). Parametri kašnjenja i električni parametri logičkog elementa mogu se učitati iz biblioteke logičkih elemenata (za određenu tehnologiju) ukoliko ih korisnik nije specificirao pomoću ulaznog jezika. Radi detekcije nekih nedozvoljenih pojava u digitalnom delu kola (hazard, visoke frekvencije), uz opis logičkog elementa pamti se Lokalna lista budućih događaja i Lokalna lista prethodnih događaja na ulazima i izlazima tog logičkog elementa.



Slika 6

Da bi se pomoću ulaznog jezika opisalo hibridno kolo potrebno je dodeliti imena čvorovima kola. Pri tome važi pravilo da između čvorova kola smeju da se nalaze samo elementi koje prepoznaje ulazni jezik hibridnog simulatora. Postoji ranije definisan skup standardnih elemenata, a korisniku se ostavlja i mogućnost da dodefiniše tzv. novoformirane elemente i koristi ih u opisu kola. Elementi su električni ili logički.

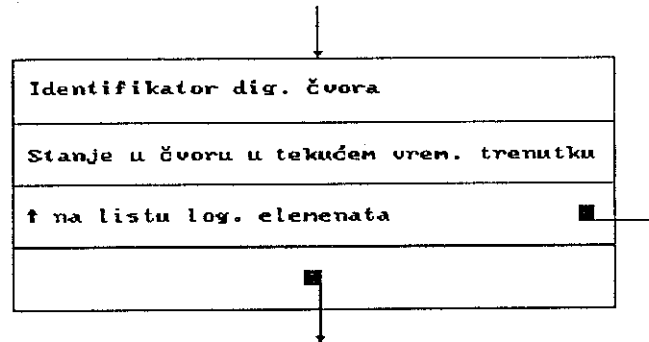
Čvor hibridnog kola može biti :

- analogni (svi elementi vezani za njega su električni),
- digitalni (svi elementi vezani za njega su logički) i
- hibridni (nalazi se između analognog i digitalnog dela kola).

Hibridni čvorovi se "razbijaju" na dva čvora : analogni i digitalni. Analogni proces "vidi" samo analogne čvorove, digitalni proces "vidi" samo digitalne čvorove, a kontrolni proces "vidi" hibridne čvorove.

Ulazni jezik prepoznaje čvorove kola prema njihovim jednoznačnim imenima koje im korisnik dodeljuje i formira tri liste. Prva je Lista

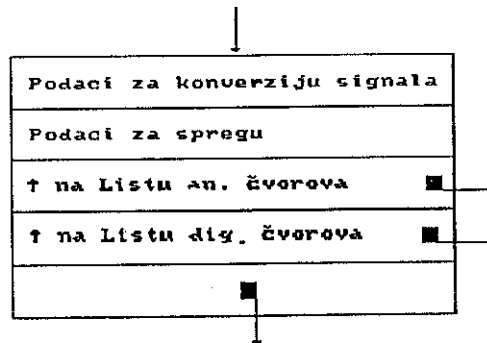
analognih čvorova i nju koristi analogni simulator. Druga je Lista digitalnih čvorova i koristi je logički simulator. Treća je Lista hibridnih čvorova i sadrži informacije potrebne za ostvarivanje sprege između digitalnog i analognog dela kola. Sve tri liste realizuju se kao jednostruko spregnute.



Slika 7

Element Liste analognih čvorova kola sadrži skup podataka na osnovu kojih se analogni čvor jednoznačno identifikuje. Ovaj skup podataka nazivamo jednim imenom identifikator. Identifikator analognog čvora između ostalog sadrži i ime po kome korisnik prepoznaje čvor.

Čvor Liste digitalnih čvorova kola prikazan je na slici 7. On sadrži sledeće podatke : identifikator digitalnog čvora (slično kao kod analognih čvorova), logičko stanje u tom digitalnom čvoru u tekućem vremenskom trenutku simulacije i pokazivač na listu pokazivača na sve logičke elemente kojima je taj čvor ulazni. Opisi logičkih elemenata nalaze se u Stablu opisa kola.



Slika 8

Čvor Liste hibridnih čvorova dat je na slici 8. On sadrži skup podataka potrebnih za realizaciju konverzije signala pri prelasku iz analognog u digitalni deo kola i obrnuto, podatke za spregu analognog i digitalnog dela kola (pokazivači na liste analognih i digitalnih elemenata

vezanih za taj čvor), kao i pokazivače na odgovarajuće čvorove u Listi analognih čvorova i Listi digitalnih čvorova kola nastale "razbijanjem" hibridnog čvora.

### 3. STRUKTURE PODATAKA ZA ELEKTRIČNU ANALIZU

Radi uštede memorijskog prostora, pri memorisanju matrice sistema pante se samo nenulti elementi matrice i odgovarajući indeksi koji sadrže informaciju o položajima tih elemenata u matrici sistema [1]. Da bi se olakšao postupak LR-faktorizacije, uz svaki nenulti element pamti se lista indeksa drugih nenulatih elemenata koji učestvuju u računskim operacijama sa tim elementom pri LR-faktorizaciji. Ova lista indeksa formira se samo jednom, u postupku renumeracije [1], a omogućava da se pri faktorizaciji, koja se ponavlja u svakoj iteraciji, ne vrše nova pretraživanja matrice (odnosno Vektora nenulatih elemenata).

Element Vektora nenulatih elemenata ima izgled dat na slici 9.



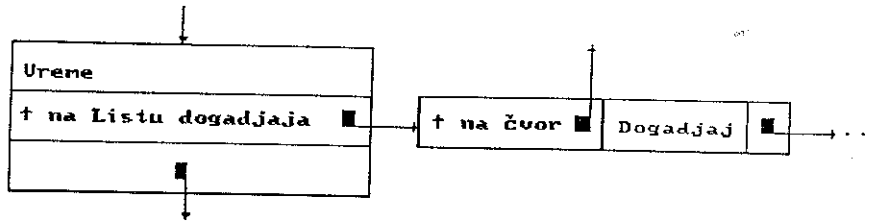
Slika 9

Vektor rešenja sistema u diskretnim vremenskim trenucima upisuje se u izlazni fajl. Kako je vremenski korak promenljiv, može se desiti da izlazni fajl sadrži redundantnu informaciju, odnosno da se beleži više izračunatih tačaka nego što je neophodno za dobru aproksimaciju analognog oblika izlaznih veličina. U tom slučaju umesto svih izračunatih vrednosti beleži se vrednost odziva u konstantnim vremenskim intervalima.

### 4. STRUKTURE PODATAKA ZA LOGIČKU SIMULACIJU

Rad logičkog simulatora zasniva se na rukovanju Listom budućih događaja na izlazima [2]. U ovoj listi pamte se svi evidentirani budući događaji na izlazima logičkih elemenata. Čvor ove liste prikazan je na slici 10. On sadrži podatak o vremenskom trenutku i pokazivač na Listu događaja koji se dešavaju u tom trenutku. Čvor Liste događaja prikazan je takodje na slici 10. On sadrži podatak o čvoru u kome se javlja događaj i o vrsti događaja.

Rezultati logičke simulacije smeštaju se u izlazni fajl u najsazetijem mogućem obliku : vreme - čvor - događaj.



Slika 10

## 5. ZAKLJUČAK

Hibridni simulator predstavlja efikasno sredstvo za proveru projekta kola u kojima se istovremeno obradjuju analogni i digitalni signali. S obzirom da su algoritmi za električnu analizu analognih i logičku simulaciju digitalnih kola pokazali svoje prednosti, svaki u svom domenu, i koncepcija rada hibridnog simulatora zasnovana je na njihovoj neposrednoj primeni. Pri tome, treba usaglasiti i uskladiti drastično različite kriterijume apstrakcije koji vladaju u svetu analognih i svetu digitalnih signala.

U ovom radu prikazana je arhitektura programa i strukture podataka u hibridnom simulatoru. Prikazana je hijerarhija stabla opisa hibridnog kola, opisane su liste električnih i logičkih elemenata kola, kao i liste analognih, digitalnih i hibridnih čvorova kola. Na kraju, prikazane su strukture podataka neophodne za realizaciju električne analize, odnosno logičke simulacije.

## 6. LITERATURA

- [1] Litovski, V.B., "CADEC 1, Analiza i optimizacija elektronskih kola", Nauka, Beograd, 1991.
- [2] Litovski, V.B., "Logička simulacija", u: Litovski, V.B., urednik, "Projektovanje VLSI", Nauka, Beograd, 1991.
- [3] Corman, T., and Wimbrow, M.U., "Coupling a digital logic simulator and an analog circuit simulator", VLSI System Design, february 1988, pp 40-47